

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2002年 9月26日
Date of Application:

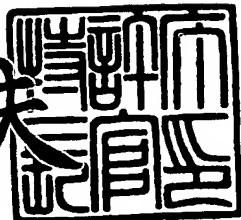
出願番号 特願2002-281665
Application Number:
[ST. 10/C]: [JP 2002-281665]

出願人 東芝松下ディスプレイテクノロジー株式会社
Applicant(s):

2003年 7月24日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



【書類名】 特許願
【整理番号】 FKB027024
【提出日】 平成14年 9月26日
【あて先】 特許庁長官殿
【国際特許分類】 G09G 3/36
【発明の名称】 光センサ用ダイオード、これを用いた画像入力回路、および画像入力回路の駆動方法
【請求項の数】 13
【発明者】
【住所又は居所】 東京都港区港南四丁目1番8号 東芝松下ディスプレイ
テクノロジー株式会社内
【氏名】 多田 正浩
【発明者】
【住所又は居所】 東京都港区港南四丁目1番8号 東芝松下ディスプレイ
テクノロジー株式会社内
【氏名】 多田 典生
【発明者】
【住所又は居所】 東京都港区港南四丁目1番8号 東芝松下ディスプレイ
テクノロジー株式会社内
【氏名】 吉田 征弘
【特許出願人】
【識別番号】 302020207
【氏名又は名称】 東芝松下ディスプレイテクノロジー株式会社
【代理人】
【識別番号】 100083806
【弁理士】
【氏名又は名称】 三好 秀和
【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0207036

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光センサ用ダイオード、これを用いた画像入力回路、および画像入力回路の駆動方法

【特許請求の範囲】

【請求項 1】 p 型不純物が注入された p 領域、 n 型不純物が注入された n 領域、前記 p 領域および前記 n 領域に対して不純物の濃度が低い i 領域を備えた半導体層と、

前記 p 領域に接続されたアノード電極と、

前記 n 領域に接続されたカソード電極と、

前記 i 領域に絶縁膜を介して設けられたゲート電極と、

を有することを特徴とする光センサ用ダイオード。

【請求項 2】 前記半導体層は、多結晶シリコンで形成されることを特徴とする請求項 1 記載の光センサ用ダイオード。

【請求項 3】 前記 p 型不純物はボロン、前記 n 型不純物はリンであることを特徴とする請求項 1 又は 2 記載の光センサ用ダイオード。

【請求項 4】 前記 i 領域と前記 n 領域との間に、前記 n 領域よりも低い濃度で n 型不純物が注入された n 領域を有することを特徴とする請求項 1 乃至 3 のいずれかに記載の光センサ用ダイオード。

【請求項 5】 前記ゲート電極が前記カソード電極に接続されたことを特徴とする請求項 1 乃至 4 のいずれかに記載の光センサ用ダイオード。

【請求項 6】 前記ゲート電極が前記アノード電極に接続されたことを特徴とする請求項 1 乃至 4 のいずれかに記載の光センサ用ダイオード。

【請求項 7】 前記ゲート電極と前記アノード電極との間に第 1 静電容量素子が形成され、前記ゲート電極と前記カソード電極との間に第 2 静電容量素子が形成されたことを特徴とする請求項 1 乃至 4 のいずれかに記載の光センサ用ダイオード。

【請求項 8】 前記第 1 静電容量素子は、前記半導体層と同層の多結晶シリコン膜と、当該多結晶シリコン膜に重なるように設けられた前記ゲート電極と共に上部電極により形成され、

前記第2静電容量素子は、前記半導体層と同層の多結晶シリコン膜と、当該多結晶シリコン膜に重なるように設けられた前記ゲート電極と共に上部電極により形成されることを特徴とする請求項7記載の光センサ用ダイオード。

【請求項9】 前記第1静電容量素子は、前記ゲート電極と共に下部電極と、当該下部電極に重なるように設けられた前記アノード電極と共に引出電極により形成され、

前記第2静電容量素子は、前記ゲート電極と共に下部電極と、当該下部電極に重なるように設けられた前記カソード電極と共に引出電極により形成されることを特徴とする請求項7記載の光センサ用ダイオード。

【請求項10】 前記第1静電容量素子は、前記p領域と、当該p領域に対して重なるように形成されたゲート電極により形成され、

前記第2静電容量素子は、前記n領域と、当該n領域に対して重なるように形成されたゲート電極により形成されることを特徴とする請求項7記載の光センサ用ダイオード。

【請求項11】 前記第1静電容量素子は、前記ゲート電極と、当該ゲート電極に対して重なるように形成されたアノード電極により形成され、

前記第2静電容量素子は、前記ゲート電極と、当該ゲート電極に対して重なるように形成されたカソード電極により形成されることを特徴とする請求項7記載の光センサ用ダイオード。

【請求項12】 透明基板上に配線された複数の信号線と、

前記信号線に対して交差するように配線された複数の選択線と、

前記信号線と前記選択線の各交差部へ配線された共通制御線と、

前記信号線のそれぞれに設けられた選択スイッチと、

前記信号線と前記選択線の各交差部に設けられ、前記信号線に前記アノード電極又は前記カソード電極の一方が接続され、前記選択線に他方のカソード電極又はアノード電極が接続され、前記共通制御線に前記ゲート電極が接続されたゲート制御型の光センサ用ダイオードと、

を有することを特徴とする画像入力回路。

【請求項13】 請求項12記載の画像入力回路を駆動する駆動方法であつ

て、

前記共通制御線に一定の電圧を印加し、光量検出対象の光センサ用ダイオードが接続された信号線の選択スイッチをオンし、当該光センサ用ダイオードが接続された選択線に対して前記電圧よりも大きな電圧を印加することを特徴とする画像入力回路の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、受けた光量に応じて電流を発生する光センサ用ダイオード、これを用いた画像入力回路、画像入力回路の駆動方法に関する。

【0002】

【従来の技術】

近年、多結晶シリコン（ポリシリコン）や非晶質シリコン（アモルファスシリコン）は、CVD（Chemical Vapor Deposition）法などにより透明基板上に製膜が可能であることから、液晶表示装置の表示素子や画像入力装置の光センサ素子への応用が盛んに行われている。

【0003】

画像入力装置に用いられる回路の構成の一例としては、複数の信号線と複数の選択線が互いに交差するように配線され、各交差部では光センサ用ダイオードのカソード端子が選択線に接続され、アノード端子が信号線に接続される。各ダイオードは、光が照射された状態で選択線を介して逆バイアス電圧が印加されると光量に応じた電流を信号線に出力する。ダイオードの駆動に際しては、光量の検出対象のダイオードには逆バイアス電圧を印加し、そうでないダイオードには逆バイアス電圧を印加しないことで、駆動するダイオードを選択する。そして、選択したダイオードからの電流信号を位置情報として取り出すことによって画像入力の情報を得る。

【0004】

【発明が解決しようとする課題】

ところが、従来のダイオードでは、逆バイアス電圧が0 [V] であっても、光

が照射されると微弱なリーク電流が発生してしまうという問題があった。このため、信号線には、逆バイアス電圧を印加したダイオードからの電流の他に、逆バイアス電圧を印加していないダイオードからのリーク電流が output されてしまい、画像入力の精度を劣化させる要因となっていた。

【0005】

また、選択線の数が増加するに伴って、この傾向がより顕著となり、大規模高精彩の画像入力装置を製造する上での障害となっていた。

【0006】

本発明は、上記に鑑みてなされたものであり、その目的とするところは、光が照射されたときのリーク電流の発生を防止し得る光センサ用ダイオードを提供することにある。

【0007】

本発明の別の目的は、上記リーク電流による画像入力の精度の劣化を防止し得る画像入力回路を提供することにある。

【0008】

本発明のさらに別の目的は、上記リーク電流による画像入力の精度の劣化を防止した画像入力回路の駆動方法を提供することにある。

【0009】

【課題を解決するための手段】

第1の本発明に係る光センサ用ダイオードは、p型不純物が注入されたp領域、n型不純物が注入されたn領域、前記p領域および前記n領域に対して不純物の濃度が低いi領域を備えた半導体層と、前記p領域に接続されたアノード電極と、前記n領域に接続されたカソード電極と、前記i領域に絶縁膜を介して設けられたゲート電極と、を有することを特徴とする。

【0010】

本発明にあっては、p領域とi領域とn領域を備えた光センサ用ダイオードのi領域に絶縁膜を介してゲート電極を設け、光センサ用ダイオードに電流が流れ始めるバイアス電圧の閾値を、ゲート電極に印加した電圧によって制御可能としている。

【0011】

ここで、前記半導体層は、多結晶シリコンで形成されることを特徴とする。また、前記p型不純物はボロン、前記n型不純物はリンであることを特徴とする。

【0012】

前記i領域と前記n領域との間に、前記n領域よりも低い濃度でn型不純物が注入されたn領域を有することを特徴とする。

【0013】

前記ゲート電極が前記カソード電極に接続されたことを特徴とする。また、前記ゲート電極が前記アノード電極に接続されたことを特徴とする。

【0014】

前記ゲート電極と前記アノード電極との間に第1静電容量素子が形成され、前記ゲート電極と前記カソード電極との間に第2静電容量素子が形成されたことを特徴とする。

【0015】

前記第1静電容量素子は、前記半導体層と同層の多結晶シリコン膜と、当該多結晶シリコン膜に重なるように設けられた前記ゲート電極と共に上部電極により形成され、前記第2静電容量素子は、前記半導体層と同層の多結晶シリコン膜と、当該多結晶シリコン膜に重なるように設けられた前記ゲート電極と共に上部電極により形成されることを特徴とする。

【0016】

前記第1静電容量素子は、前記ゲート電極と共に下部電極と、当該下部電極に重なるように設けられた前記アノード電極と共に引出電極により形成され、前記第2静電容量素子は、前記ゲート電極と共に下部電極と、当該下部電極に重なるように設けられた前記カソード電極と共に引出電極により形成されることを特徴とする。

【0017】

前記第1静電容量素子は、前記p領域と、当該p領域に対して重なるように形成されたゲート電極により形成され、前記第2静電容量素子は、前記n領域と、当該n領域に対して重なるように形成されたゲート電極により形成されることを

特徴とする。

【0018】

前記第1静電容量素子は、前記ゲート電極と、当該ゲート電極に対して重なるように形成されたアノード電極により形成され、前記第2静電容量素子は、前記ゲート電極と、当該ゲート電極に対して重なるように形成されたカソード電極により形成されることを特徴とする。

【0019】

第2の本発明に係る画像入力回路は、透明基板上に配線された複数の信号線と、前記信号線に対して交差するように配線された複数の選択線と、前記信号線と前記選択線の各交差部へ配線された共通制御線と、前記信号線のそれぞれに設けられた選択スイッチと、前記信号線と前記選択線の各交差部に設けられ、前記信号線に前記アノード電極又は前記カソード電極の一方が接続され、前記選択線に他方のカソード電極又はアノード電極が接続され、前記共通制御線に前記ゲート電極が接続されたゲート制御型の光センサ用ダイオードと、を有することを特徴とする。

【0020】

本発明にあっては、ゲート制御型の光センサ用ダイオードのアノード電極又はカソード電極の一方を画像入力回路の信号線に接続し、他方のカソード電極又はアノード電極を選択線に接続し、ゲート電極を共通制御線に接続することによつて、光センサ用ダイオードに電流が流れ始めるバイアス電圧の閾値を、共通制御線を通じてゲート電極に印加する電圧によって制御可能としている。

【0021】

第3の本発明に係る画像入力回路の駆動方法は、第2の本発明の画像入力回路の共通制御線に一定の電圧を印加し、光量検出対象の光センサ用ダイオードが接続された信号線の選択スイッチをオンし、当該光センサ用ダイオードが接続された選択線に対して前記電圧よりも大きな電圧を印加することを特徴とする。

【0022】

本発明にあっては、共通制御線を通じて全ての光センサ用ダイオードのゲート電極に一定の電圧を印加することによって、電流が流れ始めるバイアス電圧の閾

値を決定し、光量検出対象の光センサ用ダイオードが接続された信号線の選択スイッチをオンし、ゲート電極に印加した電圧よりも大きなバイアス電圧を当該光センサ用ダイオードが接続された選択線に印加することによって、その光センサ用ダイオードからの電流のみが信号線に流れるようにしている。

【0023】

【発明の実施の形態】

以下、本発明の実施の形態について図面を用いて説明する。

【0024】

[第1の実施の形態]

図1は、第1の実施の形態における光センサ用ダイオードの構成を示す断面図である。ガラス基板101上にプラズマCVD法によりシリコン膜102が150 [nm] 程度の厚さで形成される。シリコン膜102は、窒化シリコン又は酸化シリコン、あるいはこれらの積層により形成される。シリコン膜102上には多結晶シリコンによる半導体層110が50 [nm] 程度の厚さで形成される。この半導体層110は、p型不純物が注入されたp領域111と、不純物をほとんど含まないi領域112と、n型不純物が注入されたn領域113がこの順に隣接配置して形成される。p領域111には、例えば 1×10^{19} [atm/cm³] 程度の高濃度にボロンが注入され、n領域113には 1×10^{19} [atm/cm³] 程度の高濃度にリンが注入される。i領域112は、 1×10^{15} [atm/cm³] 程度の予期しない不純物のコンタミなどによる特性変動を防止するために、 1×10^{15} [atm/cm³] 程度のp領域111やn領域113に比べて低い濃度でボロン又はリンが注入されたものであってもよい。

【0025】

半導体層110が形成されたシリコン膜102上には、絶縁膜として酸化シリコン膜103が50～100 [nm] 程度の厚さで形成される。酸化シリコン膜103上には、少なくともi領域112を覆う形状となるようにモリブデンタンクステン合金からなるゲート電極114が300 [nm] 程度の厚さで形成される。ゲート電極114が形成された酸化シリコン膜103上に酸化シリコン膜104が形成される。酸化シリコン膜104上には、p領域111、n領域113のそ

それぞれに対応する位置に、モリブデン及びアルミ積層膜からなるアノード電極115、カソード電極116が約600 [nm] の厚さで形成される。アノード電極115、カソード電極116は、酸化シリコン膜103と酸化シリコン膜104に空けられたコンタクトホールを介してp領域111、n領域113にそれぞれ接触するように形成される。アノード電極115及びカソード電極116が形成された酸化シリコン膜104上には塗化シリコン膜105が形成される。

【0026】

このように、本光センサ用ダイオードは、光センサ用のp i n型薄膜ダイオードのi領域112に絶縁膜を介してゲート電極114を設けた構成である。

【0027】

図2は、本光センサ用ダイオードを用いた回路の一例を示す図である。光センサ用ダイオード100のアノード電極115にはバイアス電圧V_{p n}が供給され、ゲート電極114にはゲート電圧V_{g n}が供給される。カソード電極116は接地される。

【0028】

図3は、図2に示す回路図においてゲート電圧V_{g n}を0 [V] としたときの光センサ用ダイオード100の電流電圧特性を示すグラフである。すなわち、このグラフは、ゲート電極のない従来の光センサ用ダイオードの電流電圧特性に相当するものである。光を照射しない場合の特性401と、光を照射した場合の特性402を示す。光を照射した場合には、光センサ用ダイオード100に逆バイアス電流が流れ始めるV_{p n}=0 [V]においてリーク電流が発生してしまっている。

【0029】

図4は、図2に示す回路図においてゲート電圧V_{g n}として一定の逆バイアス電圧を印加したときの光センサ用ダイオード100の電流電圧特性を示すグラフである。光を照射しない場合の特性403と、光を照射した場合の特性404を示す。V_{g n}<V_{p n}<0の範囲においては電流が全く流れないという特徴的な電流電圧特性が得られた。これは、アノード端子115とカソード端子116間の逆バイアス電圧がゲート電極114に印加された逆バイアス電圧よりも大きく

なったときに、はじめて電流が流れ始めるので、リーク電流が発生しないことを示すものである。すなわち、光センサ用ダイオードに電流が流れ始めるときのバイアス電圧の閾値をゲート電圧 V_{gn} によって制御できることを意味する。

【0030】

したがって、本実施の形態によれば、p-i-n型の光センサ用ダイオードのi領域112に絶縁膜を介してゲート電極114を設け、光センサ用ダイオードに電流が流れ始めるときのバイアス電圧の閾値をゲート電圧によって制御可能としたことで、光が照射された状態でゲート電圧よりも高いバイアス電圧が印加されていない光センサ用ダイオードに電流が発生することを防止することができる。

【0031】

本実施の形態においては、ゲート電極114を設ける光センサ用ダイオードとして図1に示す断面構造のものを用いたが、これに限られるものではない。例えば、図5の断面図に示すように、i領域112とn領域113の間に、 $1 \times 10^{17} [\text{atm}/\text{cm}^3]$ 程度の低濃度にリンが注入されたn領域201を備えた光センサ用ダイオードを用いるようにしてもよい。図5では、その他、図1と同一物には同一の符号を付すこととし、ここでは重複した記載は省略する。

【0032】

この場合の半導体層110は、高濃度にボロンが注入されたp領域111と、不純物をほとんど含まないi領域112と、低濃度にリンが注入されたn領域201と、高濃度にリンが注入されたn領域113をこの順に隣接配置して形成される。この場合においても、上記と同様に図4に示す電流電圧特性が得られ、光が照射された状態でバイアス電圧が印加されていない光センサ用ダイオードに電流が発生することを防止することができる。

【0033】

[第2の実施の形態]

図6は、上記実施の形態で示したゲート制御型の光センサ用ダイオード100を用いた別の回路の構成を示す回路図である。光センサ用ダイオード100のカソード電極116にバイアス電圧 V_{np} が供給され、ゲート電極114にゲート電圧 V_{gp} が供給される。アノード電極115は接地される。

【0034】

図7は、図6に示す回路図においてゲート電圧 V_{gp} として一定の電圧を印加したときの光センサ用ダイオード100の電流電圧特性を示すグラフである。光センサ用ダイオード100に対して光を照射しない場合の特性405と、光を照射した場合の特性406を示す。光を照射したときの電流（以下「光照射時電流」という）と非照射のときの電流（以下「非照射時電流」という）の電流比、光照射時電流／非照射時電流は、 $0 \leq V_{gp} \leq V_{np}$ の範囲で2桁以上となる良好な特性を示した。特に $V_{gp} = V_{np}/2$ のときに最大の電流比を示した。以下、この特性を考慮した回路の構成について説明する。

【0035】

図8は、ゲート制御型の光センサ用ダイオード100を用いたさらに別の回路の構成を示す回路図である。ゲート電極114がカソード電極116に接続され、ゲート電極114とカソード電極116の双方にバイアス電圧 V_{np} が供給される。アノード電極115は接地される。この構成により、 $V_{gp} = V_{np}$ となり良好な光照射時電流／非照射時電流の電流比が得られる。

【0036】

図9は、ゲート制御型の光センサ用ダイオード100を用いたさらに別の回路の構成を示す回路図である。ゲート電極114がアノード電極115に接続され、ゲート電極114とアノード電極115の双方が接地される。カソード電極116にはバイアス電圧 V_{np} が供給される。この構成により、 $V_{gp} = 0$ となり良好な光照射時電流／非照射時電流の電流比が得られる。

【0037】

図10は、ゲート制御型の光センサ用ダイオード100を用いたさらに別の回路の構成を示す回路図である。ゲート電極114が第1の静電容量素子701を介してアノード電極115に接続される。また、ゲート電極114は静電容量素子701と静電容量がほぼ等しい第2の静電容量素子702を介してカソード電極116に接続される。アノード電極115は接地され、カソード電極116にはバイアス電圧 V_{np} が供給される。この構成により、 $V_{gp} = V_{np}/2$ となり最も良好な光照射時電流／非照射時電流の電流比が得られる。

【0038】

これは、ゲート電極114とアノード電極115の間およびゲート電極114とカソード電極116との間にそれぞれ静電容量素子を設けたことで、ゲート電極114の電位が常にアノード電位とカソード電位の中間電位となるので、周辺配線の誘導起電力、静電気、表面付着電荷などの外乱に影響されることはなくなり、抵抗が大きく変化してしまうことがなく、安定して正確な光量を検出できるようになったことによるものである。

【0039】

以下、図10に示す静電容量素子701および静電容量素子702の構造についてより詳細に説明する。図11は、図10に示す回路の構造の一例を示す平面図である。図12は、図11の静電容量701および静電容量702が配置されているA-A'部分の断面図である。図13は、図11の光センサ用ダイオード100が配置されているB-B'部分の断面図であり、基本的には図5に示した光センサ用ダイオードと同様の構成を示している。

【0040】

ガラス基板101上にプラズマCVD法によりシリコン膜102が150 [nm] 程度の厚さで形成される。シリコン膜102上に孤立した多結晶シリコン膜801および多結晶シリコン膜804が50 [nm] 程度の厚さでそれぞれ形成される。多結晶シリコン膜801および804には、 1×10^{19} [atm/cm³] 程度の高濃度にボロン又はリンが注入される。多結晶シリコン膜が形成されたシリコン膜102上には、酸化シリコン膜103が50～100 [nm] 程度の厚さで形成される。酸化シリコン膜103上には、多結晶シリコン膜801、多結晶シリコン膜804にそれぞれ重なる位置にモリブデンタンクステン合金からなる上部電極802、上部電極805が300 [nm] 程度の厚さでそれぞれ形成される。上部電極802および805が形成された酸化シリコン膜103上には、酸化シリコン膜104が形成される。酸化シリコン膜104上には、多結晶シリコン膜801および804にそれぞれ対応する位置に、モリブデン及びアルミ積層膜からなる引出電極803と引出電極806が約600 [nm] の厚さで形成される。引出電極803、引出電極806は、酸化シリコン膜103と酸化シリコン膜1

04に空けられたコンタクトホールを介して多結晶シリコン膜801、多結晶シリコン膜804にそれぞれ接触するように形成される。酸化シリコン膜104上には塗化シリコン膜105が形成される。

【0041】

多結晶シリコン膜801および804は、半導体層110と同層に形成され、p領域111およびn領域113と同程度の濃度で不純物が注入される。上部電極802および805は、ゲート電極114と共に形成される。引出電極803はアノード電極115と共に形成され、引出電極806はカソード電極116と共に形成される。

【0042】

このような構造で、多結晶シリコン膜801と上部電極802との重なり部分によって静電容量素子701を形成し、多結晶シリコン膜804と上部電極805との重なり部分によって静電容量素子702を形成することによって、静電容量素子701および702が、光センサ用ダイオード100を形成するときに同時に形成できるようになっている。

【0043】

図14は、図10に示す回路の別の構造を示す平面図である。図15は、図14の静電容量素子701および静電容量素子702が配置されているA-A'部分の断面図である。図16は、図14の光センサ用ダイオード100が配置されているB-B'部分の断面図であり、基本的には図5に示した光センサ用ダイオードと同様の構成を示している。

【0044】

ガラス基板101上にプラズマCVD法によりシリコン膜102が150 [nm] 程度の厚さで形成され、その上に酸化シリコン膜103が50～100 [nm] 程度の厚さで形成される。酸化シリコン膜103上には、モリブデンタンゲステン合金からなる下部電極901および下部電極903が300 [nm] 程度の厚さでそれぞれ形成される。下部電極901および903が形成された酸化シリコン膜103上に酸化シリコン膜104が形成される。酸化シリコン膜104上には、下部電極901、下部電極903に重なるように、モリブデン及びアルミ積層

膜からなる引出電極902と引出電極904が約600 [nm] の厚さで形成される。酸化シリコン膜104上には塗化シリコン膜105が形成される。

【0045】

下部電極901および903は、ゲート電極114と共に形成される。引出電極902はアノード電極115と共に形成され、引出電極904はカソード電極116と共に形成される。

【0046】

このような構造で、下部電極901と引出電極902との重なり部分により静電容量素子701を形成し、下部電極903と引出電極904との重なり部分により静電容量素子702を形成することによって、静電容量素子701および702が、光センサ用ダイオード100を形成するときに同時に形成できるようになっている。

【0047】

図17は、図10に示す回路のさらに別の構造を示す断面図である。基本的な構造は、図1の断面図に示したものとほぼ同様であるが、図17においては、p領域111とn領域113のそれぞれに対してゲート電極114が重なるように形成される。ゲート電極114とp領域111との重なり部分が静電容量素子701を形成し、ゲート電極114とn領域113との重なり部分が静電容量素子702を形成する。なお、その他、図1と同一物には同一の符号を付すこととし、ここでは重複した説明は省略する。

【0048】

図18は、図10に示す回路のさらに別の構造を示す断面図である。基本的な構造は、図1の断面図に示したものとほぼ同様であるが、図18においては、酸化シリコン膜104上に、アノード電極115とカソード電極116のそれぞれが、ゲート電極114と重なるように形成される。アノード電極115とゲート電極114との重なり部分が静電容量素子701を形成し、カソード電極116とゲート電極114との重なり部分が静電容量素子702を形成する。なお、その他、図1と同一物には同一の符号を付すこととし、ここでは重複した説明は省略する。

【0049】

図17、図18に示すような構造とすることによって、静電容量素子701および702が、光センサ用ダイオード100を形成するときに同時に形成できるようになっている。

【0050】

したがって、本実施の形態によれば、図8に示したように、ゲート電極114をカソード電極116に接続するようにしたことで、ゲート電圧 V_{gp} がバイアス電圧 V_{np} と等しくなるので、良好な光照射時電流／非照射時電流の電流比を得ることができる。

【0051】

本実施の形態によれば、図9に示したように、ゲート電極114をアノード電極115に接続するようにしたことで、良好な光照射時電流／非照射時電流の電流比を得ることができる。

【0052】

本実施の形態によれば、図10に示したように、ゲート電極114とアノード電極115との間に第1静電容量素子701を形成し、ゲート電極114とカソード電極116との間に第2静電容量素子702を形成するようにしたことで、ゲート電圧 V_{gp} がバイアス電圧 V_{np} の半分となり、最も良好な光照射時電流／非照射時電流の電流比を得ることができる。

【0053】

本実施の形態によれば、図12に示したように、第1の静電容量素子701を半導体層110と同層の多結晶シリコン膜801と、多結晶シリコン膜801に重なるように形成されたゲート電極114と共に上部電極802との重なり部分により形成し、第2の静電容量素子702を半導体層110と同層の多結晶シリコン膜804と、多結晶シリコン膜804に重なるように形成されたゲート電極114と共に上部電極805との重なり部分により形成するようにしたことで、静電容量素子701および702を、光センサ用ダイオードを形成するときに同時に形成することができる。

【0054】

本実施の形態によれば、図15に示したように、第1の静電容量素子701を、ゲート電極114に共通の下部電極901と、下部電極901に重なるように設けられたアノード電極と共に引出電極902との重なり部分により形成し、第2の静電容量素子702を、ゲート電極114と共に下部電極903と、下部電極901に重なるように設けられたカソード電極と共に引出電極904との重なり部分により形成するようにしたことで、静電容量素子701および702を、光センサ用ダイオードを形成するときに同時に形成することができる。

【0055】

本実施の形態によれば、図17に示したように、第1の静電容量素子701を、p領域111と、p領域111に対して重なるように形成されたゲート電極114との重なり部分により形成し、第2の静電容量素子702を、n領域113と、n領域113に対して重なるように形成されたゲート電極114との重なり部分により形成するようにしたことで、静電容量素子701および702を、光センサ用ダイオードを形成するときに同時に形成することができる。

【0056】

本実施の形態によれば、図18に示したように、第1の静電容量素子を、ゲート電極114と、ゲート電極114に対して重なるように形成されたアノード電極115との重なり部分により形成し、第2の静電容量素子702を、ゲート電極114と、ゲート電極114に対して重なるように形成されたカソード電極116との重なり部分により形成するようにしたことで、静電容量素子701および702を、光センサ用ダイオードを形成するときに同時に形成することができる。

【0057】

[第3の実施の形態]

図19は、第1の実施の形態で示した光センサ用ダイオードを用いた画像入力回路の構成を示す回路図である。同図の画像入力回路は、複数の信号線602a、602b…と、複数の選択線603a、603b…とが互いに交差するように透明基板上に配線される。各交差部には光センサ用ダイオード100a、100b…が1つずつ配置される。信号線602a、602b…は、それぞれ選択スイ

ツチ605a, 605b…を介して電流アンプ606に接続される。

【0058】

各光センサ用ダイオード100の配線については、図2に示した回路構成に基づくものとする。すなわち、カソード端子が対応する選択線603に接続され、アノード端子が対応する信号線602に接続され、ゲート端子が全ダイオードで共通の共通制御線601に接続される。例えば、光センサ用ダイオード100bについていえば、カソード端子が選択線603bに接続され、アノード端子が信号線602aに接続される。

【0059】

次に、本画像入力回路の駆動方法について説明する。まず、全ての選択線603の電位を例えば0[V]にし、共通制御線601に例えば3[V]の逆バイアス電圧を印加する。これにより、全ての光センサ用ダイオード100は、選択線603を介して3[V]以上の逆バイアス電圧が印加されるまで電流が全く流れなくなる。本回路に光が照射された状態で、例えば光センサ用ダイオード100bの光量を検出する場合には、選択スイッチ605aをオンして信号線602aと電流アンプ606とを接続し、選択線603bに例えば5[V]程度の逆バイアス電圧を印加する。光センサ用ダイオード100bにはゲート電圧よりも大きな電圧が印加されることとなるので、光センサ用ダイオード100bから光量に応じた電流が電流アンプ606へ流れる。このとき、信号線602aに接続された他の光センサ用ダイオード100a, 100cからは電流が全く流れないので、光センサ用ダイオード100bのみからの電流を正確に検出することができる。このように、信号線602と選択線603を走査することによって、所望の位置の光センサ用ダイオード100を駆動し、その光センサ用ダイオードからの電流信号を位置情報として取り出すことにより画像入力情報を得る。

【0060】

したがって、本実施の形態によれば、ゲート制御型の光センサ用ダイオードのカソード端子を画像入力回路の選択線603に接続し、アノード端子を信号線602に接続し、ゲート電極を共通制御線601に接続することによって、光センサ用ダイオードに電流が流れ始めるバイアス電圧の閾値を、共通制御線601を

を通じてゲート電極に印加する電圧によって制御可能としたことで、光が照射された状態でゲート電圧よりも高いバイアス電圧が印加されていない光センサ用ダイオードに電流が流れることを防止でき、もって高い精度で画像入力を行うことができる。

【0061】

本実施の形態によれば、共通制御線601を通じて全ての光センサ用ダイオードのゲート電極に一定の電圧を印加することによって、電流が流れ始めるバイアス電圧の閾値を決定し、光量検出対象の光センサ用ダイオードが接続された信号線602の選択スイッチ605をオンし、ゲート電極に印加した電圧よりも大きなバイアス電圧を光量検出対象とする光センサ用ダイオードが接続された選択線603に印加することによって、その光センサ用ダイオードからの電流のみが信号線602に流れようになるので、高い精度で画像入力を行うことができる。

【0062】

なお、本実施の形態においては、各光センサ用ダイオードのカソード端子を選択線603に接続し、アノード端子を信号線602に接続することとしたが、アノード端子を選択線603に接続し、カソード端子を信号線602に接続することとしてもよい。

【0063】

また、本実施の形態においては、各光センサ用ダイオードの配線については、図2に示した回路構成に基づくものとしたが、この他にも、図8、図9、図10に示した回路構成に基づくものとしてもよい。この場合には、良好な光照射時電流／非照射時電流の電流比を得ることができ、さらに高い精度で画像入力を行うことができる。

【0064】

【発明の効果】

以上、説明したように、本発明に係る光センサ用ダイオードによれば、光が照射された状態でゲート電圧よりも高いバイアス電圧が印加されていない光センサ用ダイオードに電流が流れることを防止することができる。

【0065】

本発明に係る画像入力回路によれば、光センサ用ダイオードにリーク電流が流れることを防止でき、もって高い精度で画像入力を行うことができる。

【0066】

本発明に係る画像入力回路の駆動方法によれば、光量検出対象の光センサ用ダイオードからの電流のみが信号線に流れるようになるので、高い精度で画像入力をを行うことができる。

【図面の簡単な説明】

【図1】

第1の実施の形態における光センサ用ダイオードの構成を示す断面図である。

【図2】

上記光センサ用ダイオードを用いた回路の構成を示す回路図である。

【図3】

図2に示す回路図においてゲート電圧 V_{gn} を0[V]としたときの光センサ用ダイオードの電流電圧特性を示すグラフである。

【図4】

図2に示す回路図においてゲート電圧 V_{gn} として一定の電圧を印加したときの光センサ用ダイオードの電流電圧特性を示すグラフである。

【図5】

光センサ用ダイオードの別の構成を示す断面図である。

【図6】

第2の実施の形態における上記光センサ用ダイオードを用いた回路の構成を示す回路図である。

【図7】

図6に示す回路図においてゲート電圧 V_{gp} として一定の電圧を印加したときの光センサ用ダイオードの電流電圧特性を示すグラフである。

【図8】

上記光センサ用ダイオードを用いたさらに別の回路の構成を示す回路図である。

。

【図9】

上記光センサ用ダイオードを用いたさらに別の回路の構成を示す回路図である

【図10】

上記光センサ用ダイオードを用いたさらに別の回路の構成を示す回路図である

【図11】

図10に示す回路の構造を示す平面図である。

【図12】

図11のA-A'部分の断面図である。

【図13】

図11のB-B'部分の断面図である。

【図14】

図10に示す回路の別の構造を示す平面図である。

【図15】

図14のA-A'部分の断面図である。

【図16】

図14のB-B'部分の断面図である。

【図17】

図10に示す回路のさらに別の構造を示す静電容量部分の断面図である。

【図18】

図10に示す回路のさらに別の構造を示す静電容量部分の断面図である。

【図19】

第3の実施の形態における上記光センサ用ダイオードを用いた画像入力回路の構成を示す回路図である。

【符号の説明】

100…光センサダイオード

101…ガラス基板

102…シリコン膜

103, 104…酸化シリコン膜

105…塗化シリコン膜

110…半導体層

111…p領域

112…i領域

113…n領域

114…ゲート電極

115…アノード電極

116…カソード電極

201…低濃度のリンが注入されたn領域

601…共通制御線

602…信号線

603…選択線

605…選択スイッチ

606…電流アンプ

701…第1の静電容量素子

702…第2の静電容量素子

801, 804…多結晶シリコン膜

802, 805…上部電極

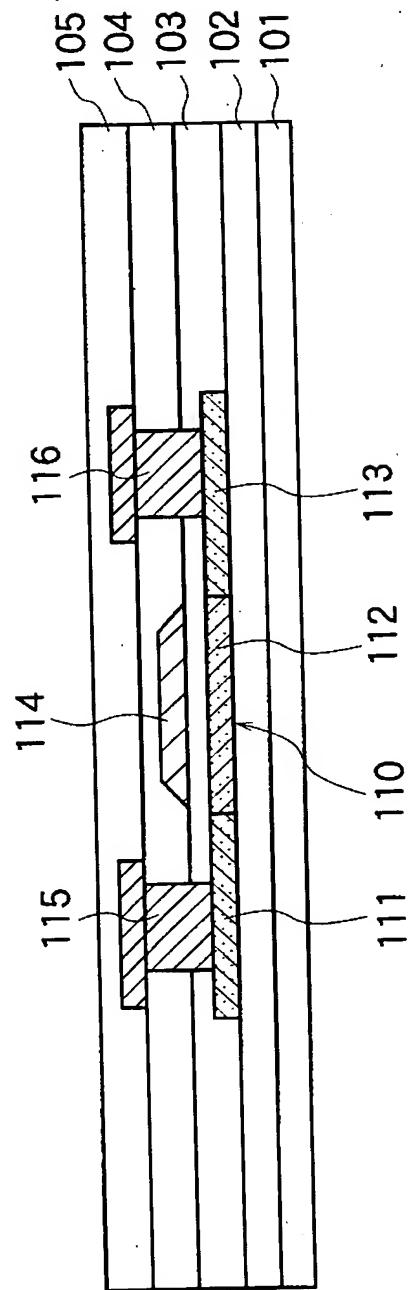
803, 806…引出電極

901, 903…下部電極

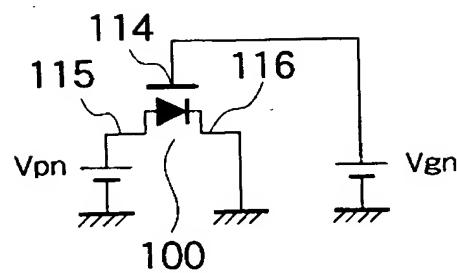
902, 904…引出電極

【書類名】 図面

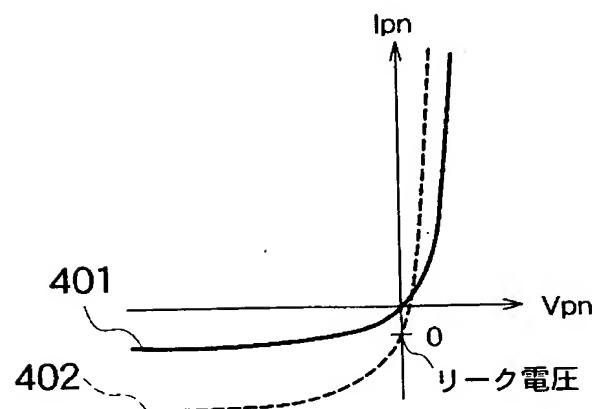
【図 1】



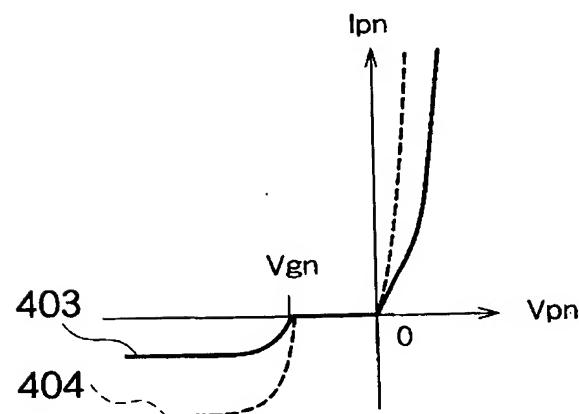
【図2】



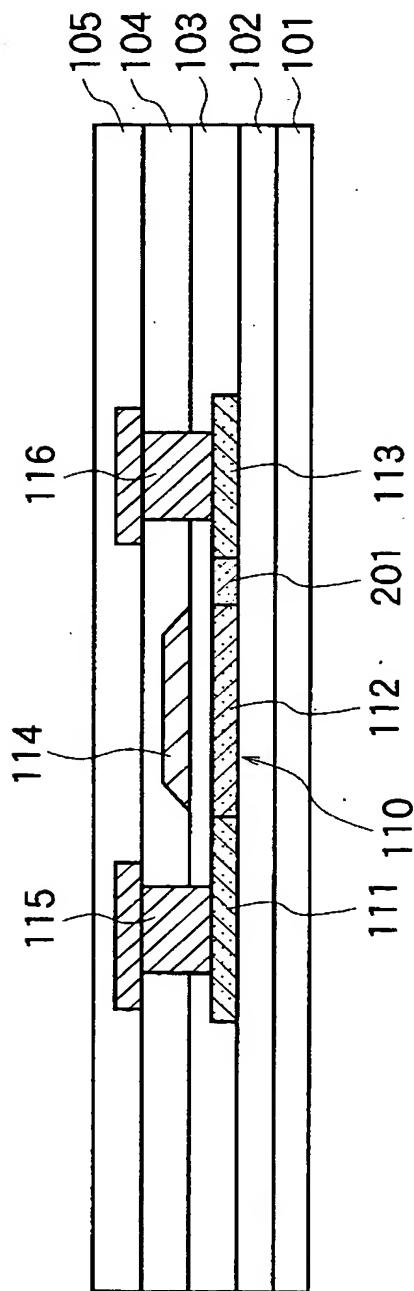
【図3】



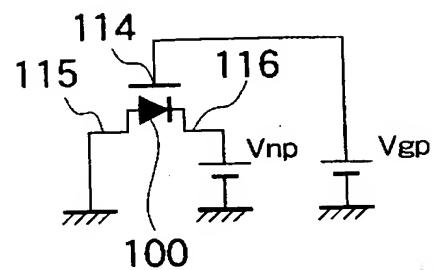
【図4】



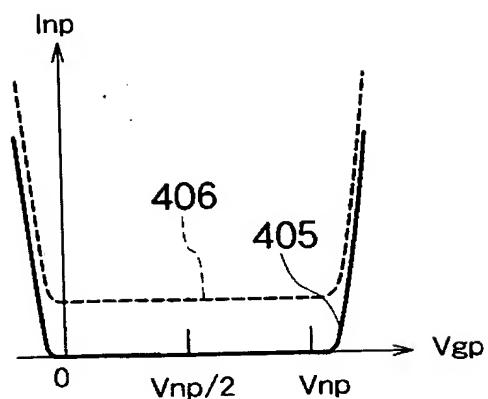
【図5】



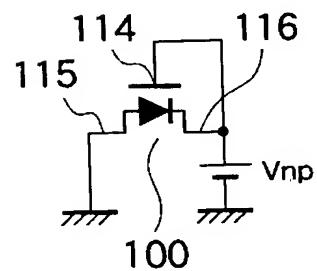
【図6】



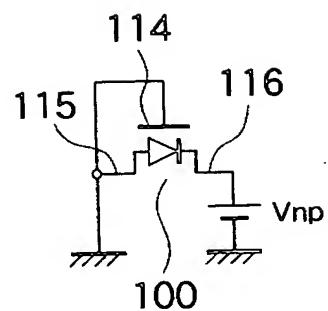
【図7】



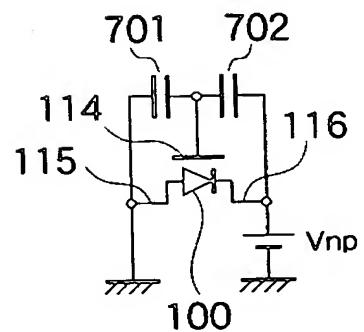
【図8】



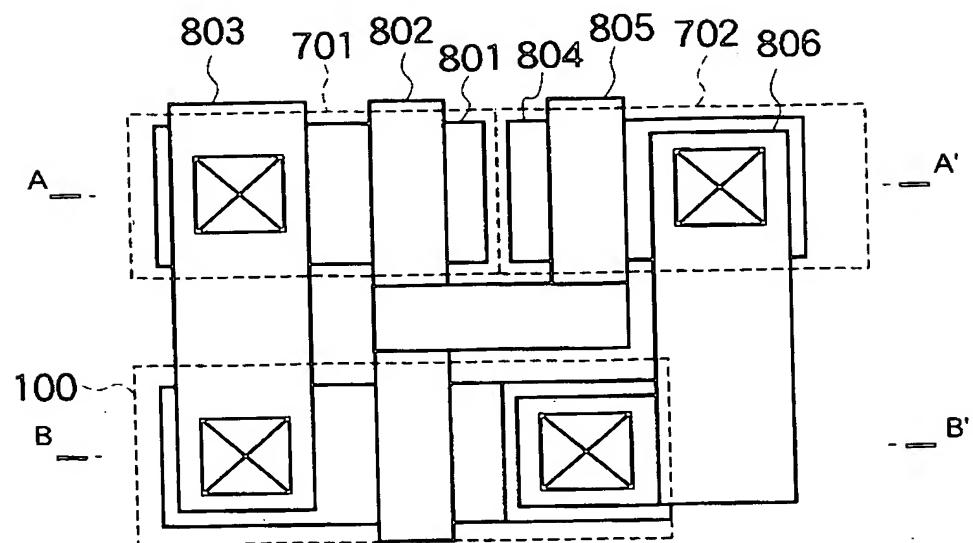
【図9】



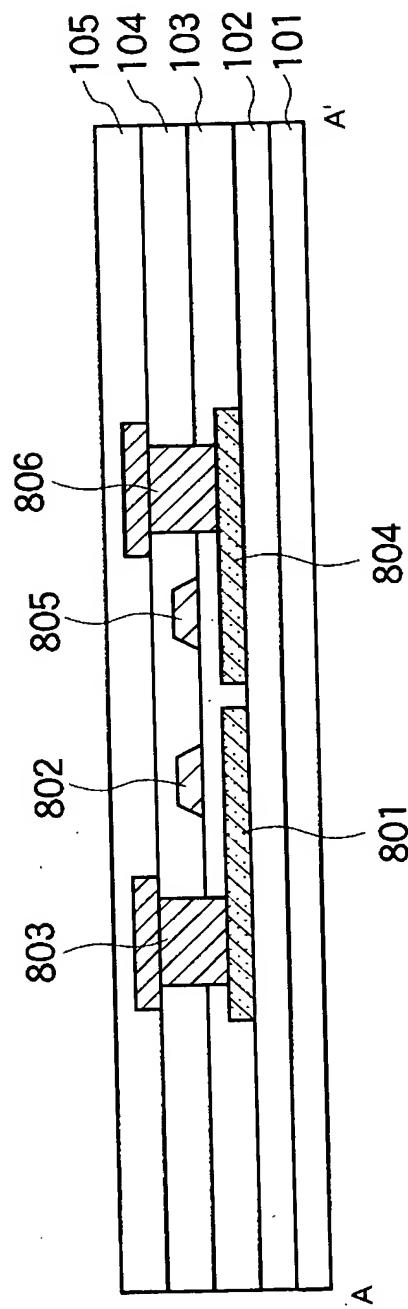
【図10】



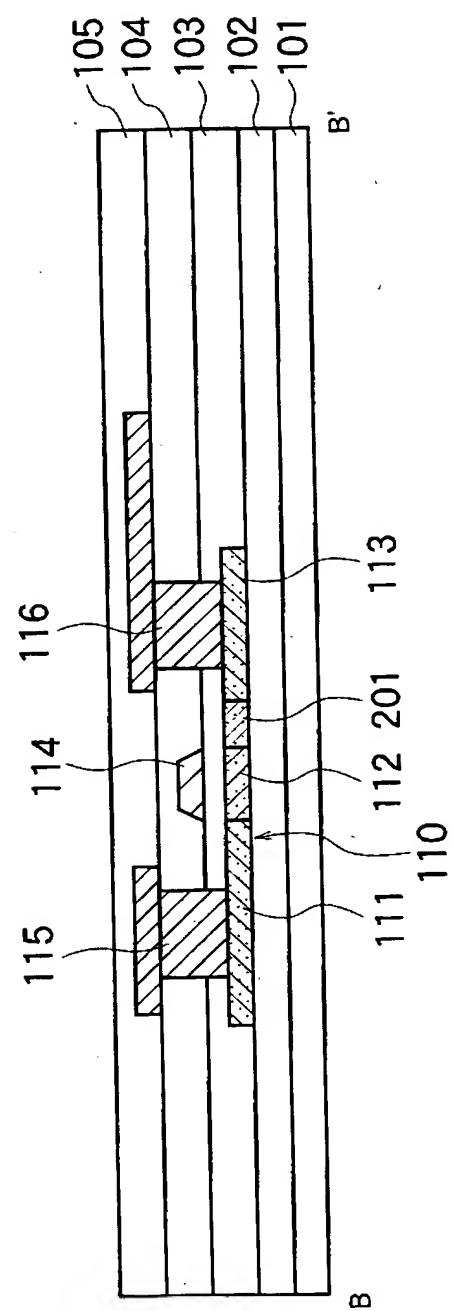
【図11】



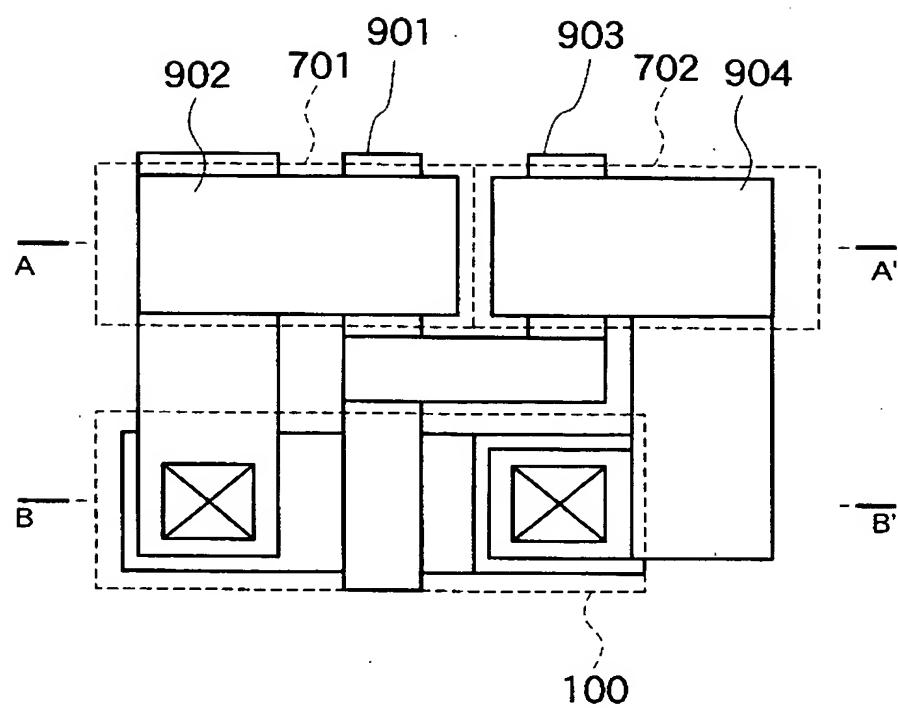
【図12】



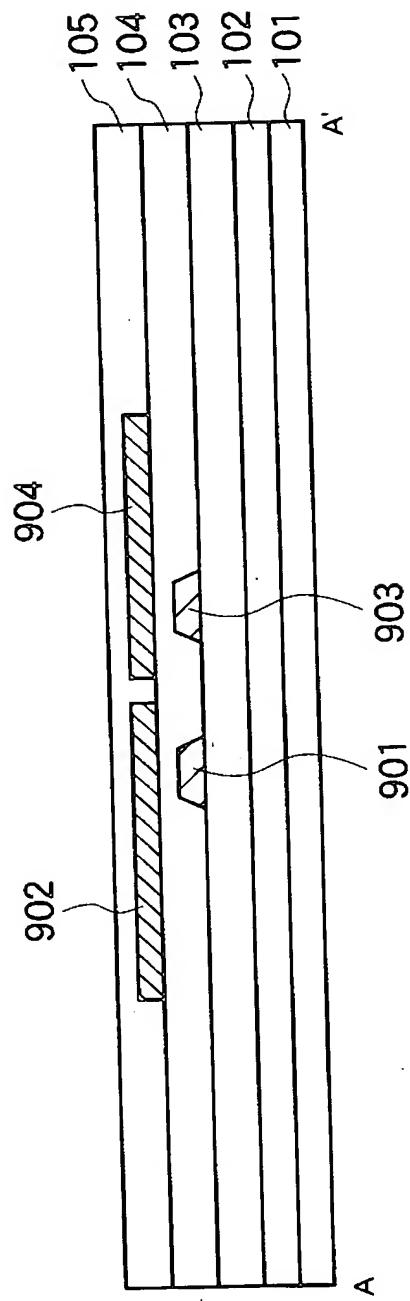
【図13】



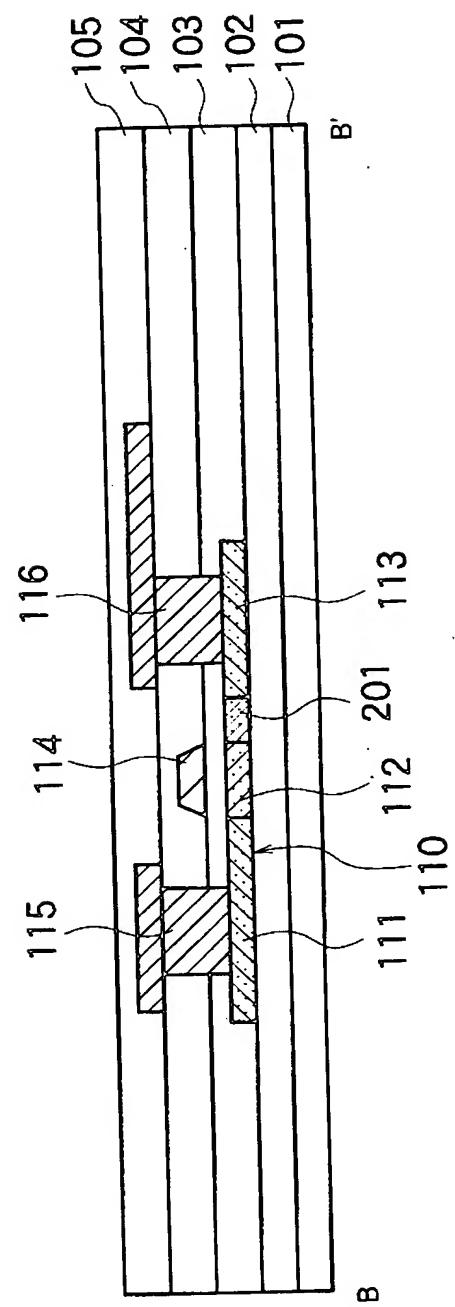
【図14】



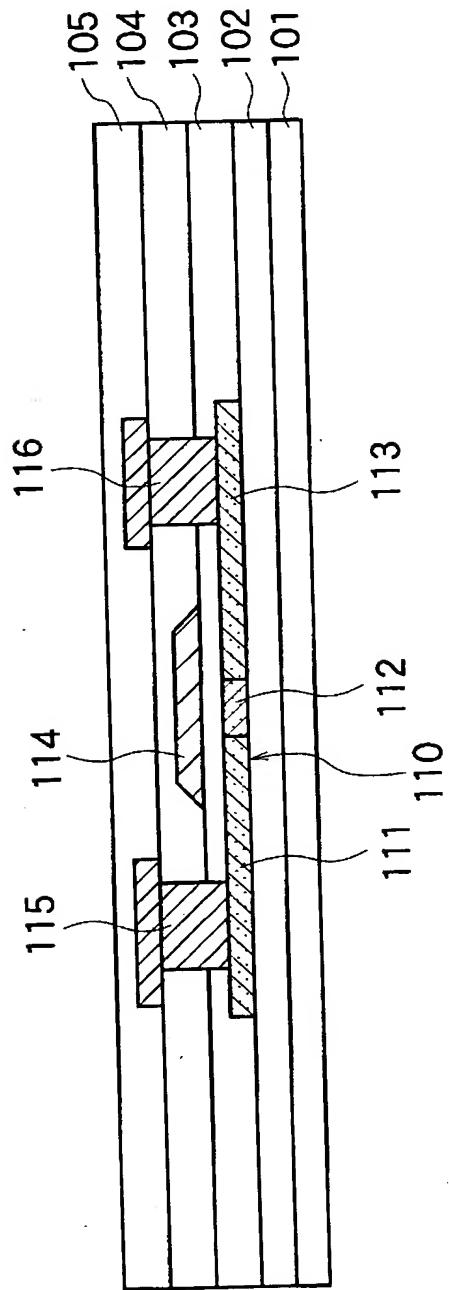
【図15】



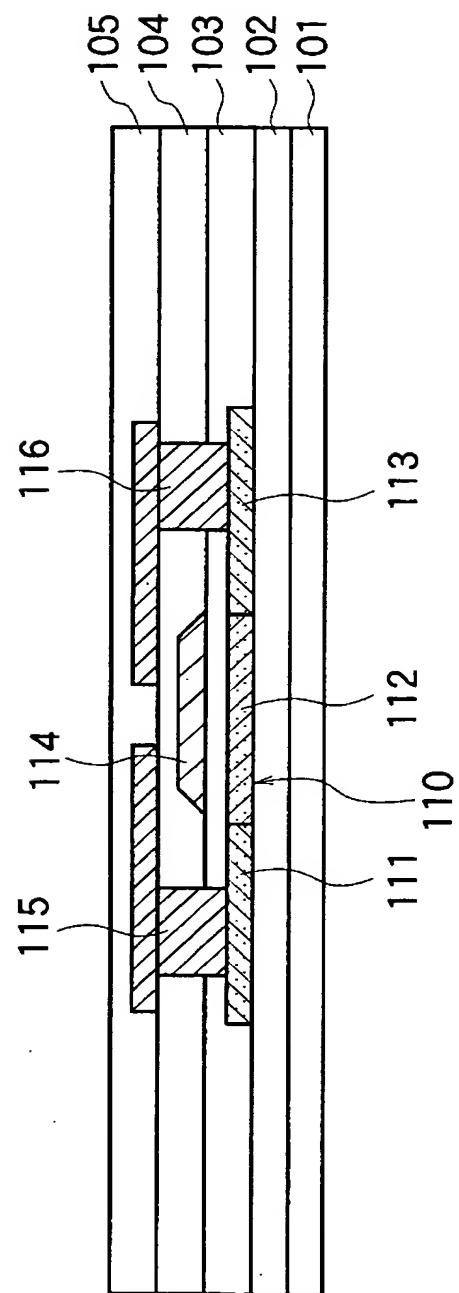
【図16】



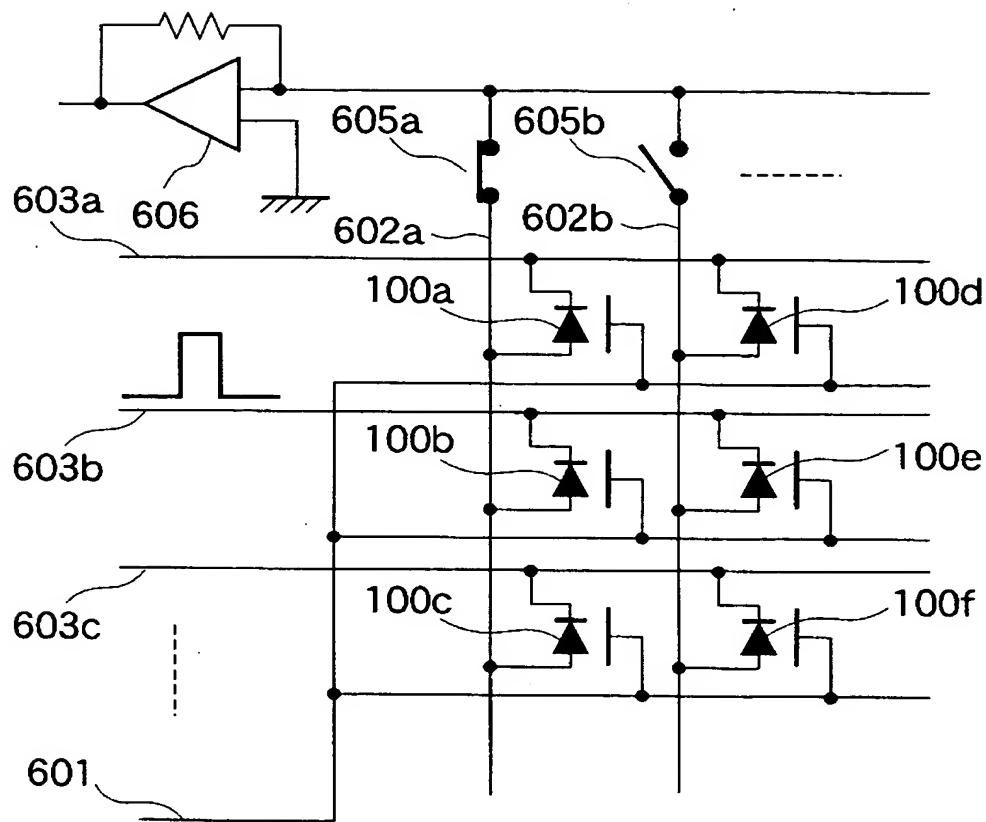
【図17】



【図18】



【図19】



【書類名】 要約書

【要約】

【課題】 光センサ用ダイオードに光が照射されたときのリーク電流の発生を防止する。

【解決手段】 p i n型の光センサ用ダイオードの i 領域 1 1 2 に絶縁膜を介してゲート電極 1 1 4 を設けることにより、光センサ用ダイオードに電流が流れ始めるときのバイアス電圧の閾値をゲート電圧によって制御可能とする。

【選択図】 図 1

特願2002-281665

出願人履歴情報

識別番号 [302020207]

1. 変更年月日 2002年 4月 5日

[変更理由] 新規登録

住 所 東京都港区港南4-1-8
氏 名 東芝松下ディスプレイテクノロジー株式会社